

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0073815
Application Number PATENT-2002-0073815

출원년월일 : 2002년 11월 26일
Date of Application NOV 26, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0020
【제출일자】 2002.11.26
【국제특허분류】 H01L
【발명의 명칭】 SONOS 셀이 채용된 NOR 형 플래시 메모리 소자의 동작 방법
【발명의 영문명칭】 Method for operating NOR type flash memory comprising SONOS cells
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 이영필
【대리인코드】 9-1998-000334-6
【포괄위임등록번호】 1999-009556-9
【대리인】
【성명】 정상빈
【대리인코드】 9-1998-000541-1
【포괄위임등록번호】 1999-009617-5
【발명자】
【성명의 국문표기】 조명관
【성명의 영문표기】 CH0, Myoung Kwan
【주민등록번호】 660517-1320918
【우편번호】 791-210
【주소】 경상북도 포항시 북구 득량동 155번지 삼성푸른아파트 3-805
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	11	면	11,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	10	항	429,000	원
---------	----	---	---------	---

【합계】	469,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

SONOS 셀이 채용된 NOR 형 플래시 메모리(flash memory) 소자의 동작 방법을 제공한다. 본 발명의 일 관점에 의한 동작 방법은, 채널 핫 전자 주입(channel hot electron injection)을 이용하여 소자를 선택적으로 프로그램(program)하고 파울러-노드하임 터널링(Fowler-Nordheim tunneling)과 핫 홀(hot hole) 주입으로 소자를 이레이즈(erase)한다. 프로그램 시에 선택된 워드 라인(word line)에 대략 8V 내지 12V를 인가하며 선택된 비트 라인에 대략 3V 내지 6V를 인가한다. 이레이즈 시에는 워드 라인을 접지하고 기판에 대략 13V 내지 18V를 인가하거나, 선택된 워드 라인에 대략 - 8V를 인가하고 기판에 대략 6V를 인가하고 비트 라인(bit line) 및 소오스 라인(source line)을 플로팅(floating)한다.

【대표도】

도 7

【명세서】

【발명의 명칭】

SONOS 셀이 채용된 NOR 형 플래시 메모리 소자의 동작 방법(Method for operating NOR type flash memory comprising SONOS cells)

【도면의 간단한 설명】

도 1은 전형적인 플로팅 게이트 셀 형태(floating gate cell type)의 메모리 셀(memory cell)을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2는 전형적인 SONOS(Silicon-Oxide-Nitride-Semiconductor) 셀 형태의 메모리 셀을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 3은 도 2에 제시된 SONOS 셀에 연관된 에너지 밴드 다이어그램(energy band diagram)을 보여주기 위해서 개략적으로 도시한 도면이다.

도 4는 본 발명의 실시예에 따라 NOR 형태로 SONOS 셀들이 배열된 플래시 메모리 소자를 설명하기 위해서 개략적으로 도시한 등가 회로이다.

도 5는 본 발명의 실시예에 따라 NOR 형태로 SONOS 셀들이 배열된 플래시 메모리 소자를 F-N 터널링(Fowler-Nordheim tunneling)으로 프로그램(program)할 때 발생될 수 있는 문제점을 설명하기 위해서 개략적으로 도시한 등가 회로이다.

도 6은 도 5의 셀 B에서의 교란(disturbance) 현상을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 7은 본 발명의 실시예에 따른 프로그램 동작 시의 SONOS 셀에 연관된 에너지 밴드 다이어그램을 개략적으로 도시한 도면이다.

도 8은 본 발명의 실시예에 따른 SONOS 셀의 프로그램 시의 프로그램 속도를 보여주는 도면이다.

도 9는 본 발명의 실시예에 따른 SONOS 셀의 이레이즈(erase) 동작 조건을 개략적으로 도시한 도면이다.

도 10은 본 발명의 실시예에 따른 이레이즈(erase) 동작 시의 기판, 비트 라인(bit line) 및 소오스 라인(source line)의 전압을 각각 오실로스코프(oscilloscope)로 측정한 그래프이다.

도 11은 본 발명의 실시예에 따른 이레이즈(erase) 동작 시의 셀에 인가되는 전압 상태를 개략적으로 보여주는 도면이다.

도 12는 도 11의 인가 전압 상태에서의 이레이즈(erase) 동작 시의 지연 시간 동안 셀에 인가되는 전압 상태를 개략적으로 보여주는 도면이다.

도 13은 본 발명의 실시예에 따른 SONOS 셀의 이레이즈 시의 이레이즈 속도를 보여주는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 불휘발성 메모리 소자에 관한 것으로, 특히,
SONOS(Silicon-Oxide-Nitride-Oxide-Semiconductor) 셀(cell)이 채용된 NOR 형 플래시 메모리 소자(flash memory device)의 동작 방법에 관한 것이다.

<15> 불휘발성 반도체 메모리 소자는 다양한 형태로 제시될 수 있으나, 소자에 인된 파워(applied power)가 소자로부터 제거된 후에도 소자가 저장된 정보를 계속 보유할 수 있다는 점을 공통된 특징으로 가진다. 이러한 불휘발성 반도체 메모리 소자들 중의 플래시 메모리 소자는, 단위 셀의 배열(array) 형태에 따라 크게 NAND 형과 NOR 형으로 구분할 수 있다. NOR 형태의 배열은 플래시 메모리 소자의 고집적화에 보다 유리하다는 측면에 관심이 집중되고 있다.

<16> 한편, 현재까지의 플래시 메모리 소자의 단위 셀은 플로팅 게이트 셀(floating gate cell) 형태가 일반적으로 채용되고 있다.

<17> 도 1은 전형적인 플로팅 게이트 셀 형태를 설명하기 위해서 개략적으로 도시한 도면이다.

<18> 도 1에 도시된 바와 같이 전형적인 플로팅 게이트 셀 형태는, 기판(10)에 소오스(source:21) 및 드레인(drain:25)이 구비되고, 소오스(21)과 드레인(25) 사이의 기판(10) 상에 플로팅 게이트(floating gate:33)와 컨트롤 게이트(control gate:37)가 구비되어 구성된다. 플로팅 게이트(33)와 기판(10) 사이에는 게이트 유전층(31)이 실리콘 산화물로 구비되고, 플로팅 게이트(33)와 컨트롤 게이트(37)의 사이 계면에는 ONO(Oxide-Nitride-Oxide)층의 층간 유전층(35)이 구비된다. 비트 라인(bit line:55)은 드레인(25)에 콘택(51)을 통해서 전기적으로 연결된다.

<19> 이러한 플로팅 게이트 셀은 전하(charge)를 플로팅 게이트(33)에 대전/소거(charging/discharging)시킴으로써 문턱 전압(threshold voltage: V_{th})을 이원화시킴으로써 정보를 저장하게 된다. 즉, 플로팅 게이트(33)에 전자가 대전되어 있는 상태에서 컨트롤 게이트(37)에 전압을 인가하면, 인가되는 전압은 대전된 전자에 의해 스크린

(screen)되므로 게이트들(33, 37) 아래의 채널(channel)의 V_{th} 가 상승하게 된다. 이와 대조되게 플로팅 게이트(33)에 전자가 없으면 V_{th} 는 상대적으로 낮아지게 된다. 이러한 V_{th} 의 차별화에 의해 1/0의 디지털(digital) 신호가 저장되게 된다.

<20> 그런데, 이와 같은 플로팅 게이트 셀은 플로팅 게이트(33)와 컨트롤 게이트(37)가 겹쳐지게 구성된 형태에 의해서 여러 가지 점들에서 제약이 발생되고 있다. 예를 들어, 플로팅 게이트(33)와 컨트롤 게이트(37)가 겹쳐지게 구성하기 위해서 복잡한 공정이 요구되고 있으며, 또한, 이러한 구성에 의한 제약에 의해서 메모리 소자의 고집적화도 어려워지고 있다. 따라서, 새로운 형태의 메모리 셀을 도입하여 플래시 메모리 소자를 구현하고자하는 노력 및 연구가 행해지고 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는, 소자의 집적도 및 공정의 개선을 구현하기 위해서, 새로운 형태의 메모리 단위 셀로서

SONOS(Silicon-Oxide-Nitride-Oxide-Semiconductor) 셀을 NOR 형태의 플래시 메모리 소자에 채용하고 이에 의해 구성되는 NOR 형태의 플래시 메모리 소자를 동작하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<22> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 다수의 소노스(SONOS) 형태의 메모리 셀(memory cell)들이 노아(NOR) 형태로 배열되어 구성된 플래시(flash) 메모리 소자의 동작 방법을 제공한다.

- <23> 상기 소자 동작 방법은 채널 핫 전자 주입(channel hot electron injection)을 이용하여 상기 소자를 선택적으로 프로그램(program)하고 핫 홀 주입을 수반하는 파울러-노드하임 터널링(Fowler-Nordheim tunneling)으로 상기 소자를 이레이즈(erase)한다.
- <24> 여기서, 상기 소노스(SONOS) 형태의 메모리 셀은 기판에 형성되고 사이에 채널을 형성하는 드레인(drain) 및 소오스(source), 상기 채널 상에 형성된 게이트(gate), 및 상기 게이트와 상기 기판 사이 계면에 형성된 산화물층, 질화물층 및 산화물층의 다중 유전층을 포함하여 구성될 수 있다.
- <25> 또한, 상기 소자 동작 방법은 상기 메모리 셀들 중 선택된 메모리 셀에 상기 채널로부터 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로 핫 전자 주입이 유기되어 전자들이 상기 산화물층과 질화물층의 계면 또는 상기 질화물층에 포획되어 문턱 전압을 증가시키도록 상기 선택된 메모리 셀에 전압들을 인가하여 프로그램하고, 상기 메모리 셀의 문턱 전압을 감소시키도록 상기 기판에는 양의 전압, 상기 게이트는 접지 또는 음의 전압, 상기 소오스 또는 드레인은 플로팅시키는 전압 조건을 상기 메모리 셀에 인가하여, 상기 포획된 전자들이 파울러-노드하임 터널링(Fowler-Nordheim tunneling)으로 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로부터 소거되거나 상기 소오스 - 기판 또는 상기 드레인 - 기판 사이에서 상기 전압 조건에 의해서 발생하는 핫 홀(hot hole)이 상기 다중 유전층에 주입되어 이레이즈하는 소자 동작 방법으로 작동될 수 있다.
- <26> 여기서, 상기 프로그램 시에 상기 선택된 메모리 셀의 게이트에 대략 8V 내지 12V를 인가하며 드레인에 대략 3V 내지 6V를 인가하고 소오스는 접지하는 전압 조건으로 상기 선택된 메모리 셀에 전압을 인가할 수 있다. 이때, 상기 전압 조건은 상기 프로그램

시에 상기 기판을 접지하거나 또는 상기 기판에 음의 전압을 인가하는 것을 더 포함할 수 있다.

<27> 상기 이레이즈 시에 상기 메모리 셀의 게이트를 접지하고 상기 기판에 대략 13V 내지 18V를 인가하는 전압 조건으로 전압을 인가할 수 있다. 또한, 상기 이레이즈 시에 상기 선택된 메모리 셀의 게이트에 대략 - 8V를 인가하고 상기 기판에 대략 6V를 인가하고 소오스는 접지하는 전압 조건으로 전압을 인가할 수 있다.

<28> 또한, 상기 플래시 메모리 소자는 기판에 형성되고 사이에 채널을 형성하는 드레인(drain) 및 소오스(source), 상기 채널 상에 형성된 게이트(gate), 및 상기 게이트와 상기 기판 사이 계면에 형성된 산화물층, 질화물층 및 산화물층의 다중 유전층을 포함하는 소노스(SONOS) 형태의 메모리 셀이, 어느 하나의 비트 라인(bit line)에 다수의 상기 SONOS 형태의 메모리 셀들의 드레인들이 전기적으로 연결되고, 상기 비트 라인과 교차되도록 배열된 어느 하나의 워드 라인(word line)에 다수의 상기 SONOS 형태의 메모리 셀들의 게이트가 전기적으로 연결되고, 어느 하나의 공통 소오스 라인에 상기 워드 라인에 연결된 다수의 SONOS 형태의 메모리 셀들의 소오스들이 공통으로 연결되도록 배열되어 노아(NOR) 형태의 배열로 구성될 수 있다.

<29> 이와 같은 플래시 메모리 소자는 상기 메모리 셀들 중 선택된 메모리 셀에 상기 채널로부터 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로 핫 전자 주입이 유도되어 전자들이 상기 산화물층과 질화물층의 계면 또는 상기 질화물층에 포획되어 문턱 전압을 증가시키도록 상기 선택된 메모리 셀에 전압들을 인가하여 프로그램하고, 상기 메모리 셀의 문턱 전압을 감소시키도록 상기 기판에는 양의 전압, 상기 게이트는 접지 또는 음의 전압, 상기 소오스 라인 또는 비트 라인은 플로팅시키는 전압 조건을 상기 메

모리 셀에 인가하여 상기 포획된 전자들이 파울러-노드하임 터널링(Fowler-Nordheim tunneling)으로 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로부터 소거되거나 상기 상기 소오스 - 기판 또는 상기 드레인 - 기판 사이에서 상기 전압 조건에 의해서 발생하는 핫 홀(hot hole)이 상기 다중 유전층에 주입되어 이레이즈하는 소자 동작 방법으로 작동될 수 있다.

<30> 이때, 상기 프로그램 시에 어느 하나의 워드 라인을 선택하여 대략 8V 내지 12V를 인가하며 어느 하나의 비트 라인을 선택하여 대략 3V 내지 6V를 인가하고 상기 공통 소오스 라인을 접지하는 전압 조건으로 상기 선택된 메모리 셀에 전압을 인가할 수 있다.

<31> 한편, 상기 이레이즈 시에 상기 워드 라인을 접지하고 상기 기판에 대략 13V 내지 18V를 인가하는 전압 조건으로 전압을 인가할 수 있다. 또한, 상기 이레이즈 시에 상기 선택된 메모리 셀에 연결된 선택된 워드 라인에 대략 - 8V를 인가하고 상기 기판에 대략 6V를 인가하는 전압 조건으로 전압을 인가할 수 있다.

<32> 본 발명에 따르면, SONOS 형태의 메모리 셀을 NOR 형태로 배열한 플래시 메모리 소자의 동작 방법을 제공할 수 있다. 이에 따라, SONOS 형태의 메모리 셀을 NOR 형태로 배열시켜 고집적화된 플래시 메모리 소자를 제공할 수 있다.

<33> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한

요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<34> 본 발명의 실시예들에서는 메모리 소자의 단위 셀로서

SONOS(Silicon-Oxide-Nitride-Oxide-Semiconductor) 셀을 NOR 형태의 플래시 메모리 소자에 도입하는 바를 제시한다. 이와 함께, 이러한 소자를 구성하는 데 사전에 필수적으로 해결되어야하는 소자의 동작 문제를 해결할 방안을 제시한다. 즉, 이러한 SONOS 셀을 채용한 NOR 형태의 플래시 메모리 소자를 프로그램(program)하고 이레이즈(erase)하는 등의 동작 방법을 제공한다.

<35> SONOS 셀은 플로팅 게이트 셀과 유사하게 취급될 수 있으며, 이러한 플로팅 게이트 셀을 대체하여 불휘발성 메모리 소자를 구성할 단위 셀로 점차 주목받고 있다. SONOS 셀은 실리콘-산화물-질화물-산화물-반도체물(Silicon-Oxide-Nitride-Oxide-Semiconductor)이 적층된 형태로 구성되며, 그 구성과 이에 연관된 에너지 밴드 다이어그램(energy band diagram)은 도 2 및 도 3에서와 같이 전형적으로 제시될 수 있다.

<36> 도 2는 전형적인 SONOS 셀의 구성을 설명하기 위해서 개략적으로 도시한 단면도이다.

<37> 도 3은 도 2에 제시된 SONOS 셀에 연관된 에너지 밴드 다이어그램을 개략적으로 도시한 도면이다.

<38> 도 2 및 도 3을 참조하면, SONOS 셀은 기판(100)에 소오스(210) 및 드레인(250)이 구비되고, 게이트(400)가 기판(100) 상에 구비되어 구성된다. 이때, 기판(100)은 실리콘

으로 바람직하게 이루어질 수 있다. 그리고, 게이트(400)와 기판(100) 사이의 계면에 실리콘 산화물층(SiO_2 :310), 실리콘 질화물층(Si_3N_4 :330) 및 실리콘 산화물층(350)이 구비된다.

<39> SONOS 셀은 실리콘 산화물층(310)과 실리콘 질화물층(330)의 계면에 전하를 포획(trapping)시켜 V_{th} 를 차별화시킨다. 이때, 실리콘 질화물층(330)과 실리콘 산화물층(310) 사이의 계면 또는 실리콘 질화물층(330)의 층 내에 존재하는 포획 자리(trap site)가 플로팅 게이트와 같은 전하 저장 자리(charge storage site)로 작용한다. 이러한 SONOS 셀은 공정의 단순함과 로직(logic) 공정과의 융화성(compatibility)으로 의하여 최근 많은 연구가 행하여지고 있다. 그럼에도 불구하고, 현재까지 이러한 SONOS 셀을 플래시 메모리 소자에 채용하기는 매우 어려운 상태이며, 특히, 동작 특성에 따른 다양한 문제의 해결이 선행되지 않고서는 이러한 적용이 어렵다.

<40> 본 발명의 실시예에서는 이러한 SONOS 셀을 불휘발성 반도체 메모리 소자들 중의 하나인 플래시 메모리 소자에 도 4에 도시된 바와 같이 NOR 형태의 배열시키는 데 적용하고자 할 때, 이와 같이 구성되는 플래시 메모리 소자의 동작 방법을 제공한다.

<41> 도 4는 본 발명의 실시예에 따라 NOR 형태로 SONOS 셀들의 배열된 플래시 메모리 소자를 설명하기 위해서 개략적으로 도시한 등가 회로를 보여준다.

<42> 도 4를 참조하면, 개개의 SONOS 셀은 이웃하는 셀과 NOR 형태로 배열된다. 즉, 어느 하나의 비트 라인에 다수의 SONOS 셀들의 드레인들이 전기적으로 연결되고, 상기 비트 라인과 교차되도록 배열된 어느 하나의 워드 라인(word line)에 다수의 SONOS 셀의 게이트가 전기적으로 연결된다. 그리고, 워드 라인 방향으로 공통 소오스(common

source)가 형성되어, 워드 라인에 연결된 다수의 SONOS 셀들의 소오스들을 공통으로 연결시킨다.

<43> 이와 같이, SONOS 셀이 NOR 형태로 배열되는 플래시 메모리 소자가 실현되기 위해서는, 먼저 이와 같이 구성되는 플래시 메모리 소자의 동작 방법에 대한 해결이 선행되어야 한다.

<44> 단순한 하나의 SONOS 셀의 동작은 일반적으로 F-N 터널링(Fowler-Nordheim tunneling)에 의한 프로그램 및 이레이즈(program/erase)로 행해질 수 있다. 그러나, NOR 형태로 다수의 SONOS 셀들이 배열된 상태의 소자를 F-N 터널링을 이용하여 프로그램 및 이레이즈(program / erase)하는 것은 새로운 문제점에 봉착하게 된다. 결론적으로, NOR 형태로 다수의 SONOS 셀들이 배열된 상태의 소자에서 특정 셀은 F-N 터널링에 의해서 선택적으로 프로그램될 수가 없어, 결국 전체 소자를 프로그램하는 것이 불가능하다.

<45> 도 5는 본 발명의 실시예에 따라 NOR 형태로 SONOS 셀들이 배열된 플래시 메모리 소자를 F-N 터널링으로 프로그램할 때의 문제점을 설명하기 위해서 개략적으로 도시한 등가 회로를 보여준다.

<46> 도 6은 도 5의 셀 B에서의 교란(disturbance) 현상을 설명하기 위해서 개략적으로 도시한 단면도이다.

<47> 도 5를 참조하면, NOR형으로 배열된 SONOS 셀들의 동작에 F-N 터널링을 적용할 경우, 실질적으로 F-N 터널링으로 어느 하나의 SONOS 셀을 선택적으로 프로그램하는 것은 불가능하다. F-N 터널링으로 선택적인 프로그램을 수행하기 위해서 도 5의 셀 A를 선택

하였을 경우에, 선택된 워드 라인 WL₁에는 고전압 15V를 인가하고, 셀 A에 연관된 비트 라인 BL₁, 그리고, 공통 소오스 라인(common source line)에 0V를 인가하여 셀 A의 프로그램을 의도할 수 있다.

<48> 그런데, 이와 같은 시도는 셀 A의 채널(channel) 뿐만 아니라 선택되지 않은 셀 B의 채널이 도 6에 도시된 바와 같이 인버전(inversion)되어 채널의 전압은 0V가 되는 현상을 수반할 수밖에 없다. 즉, 도 6에서 도시된 바와 같이 셀 A에 연관된 워드 라인 WL₁에 15V를 인가하면, 워드 라인 WL₁에 또한 접속되어 있는 셀 B에도 15V가 인가되게 된다. 공통 소오스 라인에 0V가 인가되므로, 셀 B의 소오스에는 0V가 역시 인가된다. 셀 B에 접속된 비트 라인 BL₂는 선택되지 않았으므로 플로팅(floating)된 상태이다. 이와 같은 셀 B에 유발된 전압 조건은 실질적으로 선택된 셀 A에서의 인가 전압 조건과 대등하므로, 결국 셀 B의 채널에 인버전이 발생하고 채널의 전압이 0V가 되게 된다.

<49> 따라서, 선택된 셀 A셀 A 뿐만 아니라 셀 B도 프로그램되게 된다. 실질적으로 동일한 선택 워드 라인WL₁에 함께 접속된 모든 셀들이 함께 프로그램되게 된다. 따라서, 선택적으로 어느 하나의 셀을 독립적으로 프로그램하는 것이 불가능하다. 그러므로, NOR 형태의 셀 배열에서는 구조적으로 F-N 프로그램 동작의 적용이 실질적으로 불가능하다.

<50> 본 발명의 실시예에서는 이러한 SONOS 셀을 채운 NOR 형태의 플래시 메모리 소자를 동작시키기 위해서, 채널 핫 전자(CHE:Channel Hot Electron) 주입(injection)을 이용하여 선택된 개별 SONOS 셀을 프로그램하는 것을 제시한다. 그리고, 이레이즈 시에는 F-N 터널링을 이용하여 다수의 SONOS 셀을 일괄적으로 이레이즈시키는 바를 제시한다. 이와 같이 본 발명에서 제시하는 동작 방법은 표 1과 같이 대표적으로 요약될 수 있다.

<51> 【표 1】

	선택 WL	비선택 WL	선택 BL	비선택 BL	공통 소오스	기판
프로그램	10-11 V	0 V	3-6 V	플로팅	0 V	0 V
이레이즈	0 / -8 V	0 V	플로팅	플로팅	플로팅	14 / 6 V
리드(read)	V_{cc}	0 V	0.5-1.5 V	플로팅	0 V	0 V

<52> 표 1에 제시된 바와 함께 도 4를 다시 참조하면, 먼저, 프로그램 동작은 셀 A가 선택되었을 경우 WL₁에는 10V(경우에 따라, 대략 8 내지 12V일 수 있다.)를 바람직하게 인가하고, BL₁에는 5V(경우에 따라, 대략 3 내지 6V 수준의 전압일 수 있다.)의 전압을 바람직하게 인가하여 수행한다. 이때, 공통 소오스 라인에는 0V가 인가되고 비선택된 셀 B에 연관된 BL₂는 플로팅된다. 이때, 기판은 접지되거나 또는 음의 전압이 인가될 수 있다.

<53> 이와 같이 프로그램하면, WL₁에 인가된 전압에 의해 셀 A의 게이트 아래에는 인버전층에 의해서 채널이 형성된다. 형성된 채널의 인버전층(inversion layer)에 존재하는 전자를 BL₁에 인가된 전압에 의하여 가속된다. 가속된 전자들 중 일부 전자는 바람직하게 실리콘으로 이루어지는 기판(100)의 격자 온도(lattice temperature)보다 높은 전자 온도를 갖게 된다.

<54> 이러한 활성화된 전자(energetic electron)는 도 7에 묘사된 바와 같이 실리콘 산화물층(도 2의 310)의 에너지 장벽(energy barrier)을 넘어 실리콘 산화물층(310)과 실리콘 질화물층(330)의 계면에 포획(trap)된다.

<55> 도 7은 본 발명의 실시예에 따른 프로그램 동작 시의 SONOS 셀에 연관된 에너지 밴드 다이어그램을 개략적으로 도시한 도면이다.

<56> 도 7에 도시된 바와 같이 실리콘 산화물의 에너지 장벽을 넘어 실리콘 산화물과 실리콘 질화물의 계면에 전자가 포획됨에 따라, 셀 A의 V_{th} 는 상승하게 되며, 이는 곧 프로그램 동작을 의미한다.

<57> 다시 도 4를 표 1과 함께 참조하면, 비 선택된 셀들을 대표하는 셀 B의 비트 라인 BL_2 는 상기한 프로그램 동작 시에 플로팅된다. 그리고, 이러한 비 선택된 셀 B는 선택 워드 라인 WL_1 에 접속되어 있으므로 역시 10V의 전압이 게이트에 인가된다. 따라서, 게이트 아래 채널에 인버전층(inversion layer)이 형성되어 채널의 전위가 0V가 될 수도 있다.

<58> 그러나, 이와 같이 채널의 전위는 0V가 유지되더라도 선택되지 않은 셀 B에 연관되는 비트 라인 BL_2 는 플로팅된 상태이므로, 채널의 전자는 활성화되지 못하여 실리콘 산화물층(도 2의 310)과 실리콘 질화물층(도 2의 330)의 계면으로 주입되지 못한다. 실질적으로 게이트에는 10V의 전압만이 바람직하게 인가되는 데 이러한 전압 수위로서는 채널의 전자가 실리콘 산화물층(310)의 에너지 배리어(energy barrier)를 극복하도록 유도할 수 없다. 따라서, 비선택된 셀 B는 프로그램되지는 않는다.

<59> 이와 같은 결과는 본 발명의 실시예에 따른 프로그램 동작 방법은 어느 하나의 개별 SONOS 셀을 선택적으로 프로그램하는 것을 가능하게 해 주어, SONOS 셀들이 NOR 형태로 배열된 플래시 메모리 소자를 프로그램하는 것을 실질적으로 가능하게 해 준다.

<60> 위와 같은 동작으로 행한 SONOS 셀의 프로그램 속도(program speed)를 도 8에 제시한다.

- <61> 도 8은 본 발명의 실시예에 따른 SONOS 셀의 프로그램 시의 프로그램 속도를 보여 주는 도면이다.
- <62> 도 8을 참조하면, 프로그램 시에 게이트와 드레인에 전압을 인가하면, 게이트 전압에 의하여 채널이 인버전되고 드레인 전압에 의하여 가속된 전자가 에너지를 얻어 SiO₂/Si₃N₄의 계면에 포획되고, 시간이 경과함에 따라 V_{th} 시프트(shift)가 일어난다. 이러한 프로그램 시에의 V_{th} 시프트를 도 8은 보여준다.
- <63> 이와 같이 프로그램된 상태를 판독하는 리드(read) 동작은 표 1에 도시된 바와 같이 선택 워드 라인에 V_{cc} 를 인가하고, 선택 비트 라인 대략 0.5 내지 1.5V를 인가함으로써 수행될 수 있다.
- <64> 한편, 플래시 메모리 소자의 동작은 프로그램 동작뿐만 아니라 이레이즈 동작 또한 고려해야 한다.
- <65> 도 9는 본 발명의 실시예에 따른 SONOS셀의 이레이즈 동작 조건을 개략적으로 도시한 도면이다.
- <66> 도 9를 표 1과 함께 참조하면, 본 발명의 실시예에 따른 이레이즈 동작은 기본적으로 F-N 터널링과 핫 홀(hot hole) 주입 효과를 동시에 이용한다. 구체적으로, 이레이즈 동작은 선택 WL₁에 접지 전압을 인가하고, 기판에 13 내지 18V 수준의 전압, 바람직하게 대략 14V의 전압을 인가하여 포획된 전자를 채널 방향으로 방전시켜 V_{th} 를 낮추는 과정으로 이루어질 수 있다. 또는, 이러한 이레이즈 동작은 구동 회로의 편의를 위하여 셀의 게이트와 기판에 전압을 분할하여 인가할 수도 있다. 예를 들어, P형 기판에 대략 6V를 인가하고, 게이트에 대략 -8V를 인가함으로써 이레이즈 동작을 수행할 수 있다.

- <67> 위와 같은 동작 조건에서 F-N 터널링 뿐만 아니라 핫 홀 소거(hot hole erase)의 효과도 발생하여 소거 동작을 증진시키게 된다. 이에 따른 효과는 다음의 도 10에서 보여진다.
- <68> 도 10은 본 발명의 실시예에 따른 이레이즈 동작 시의 기판, 비트 라인 및 소오스 라인의 전압을 각각 오실로스코프(oscilloscope)로 측정한 그래프를 보여준다.
- <69> 도 10은 기판에 양의 전압을 인가했을 때, 기판, 비트 라인, 소오스 라인의 전압을 각각 오실로스코프로 측정한 결과를 보여준다. 인가된 양의 16V의 전압은 기판에서는 대략 16V로 승압되었다가 지연 시간 없이 0V로 하강하는 펄스를 보여준다.
- <70> 플로팅된 비트 라인과 소스 라인의 전압은 승압 및 하강에서 기판 전압과 다른 특성을 나타낸다. 이때, 비트 라인 및 소오스 라인의 승압되는 전압 수준은 P-N 접합의 형성(built in) 전압 0.7V 만큼 적은 15.3V 수준으로 승압된다. 이러한 형성(built in) 전압 보다 낮은 전압만큼 승압되는 특징은 널리 알려진 이론 및 현상이다. 그럼에도 불구하고, 플로팅된 비트 라인 및 소오스 라인의 하강은 기판 전압보다 지연되어 하강되는 펄스를 보여주고 있다.
- <71> 이러한 지연 현상은 비트 라인에 연결된 정전 용량(capacitance)에 충전된 전하가 방전되는 것에 의한 지연 현상이다. 이러한 지연 시간 동안에 셀에는 특이한 전압 상태가 인가되게 된다. 이러한 지연 시간 동안 셀에 인가되는 전압 상태는 다음의 도 11 및 도 12에 개략적으로 보여주는 바와 같다.
- <72> 도 11은 본 발명의 실시예에 따른 이레이즈(erase) 동작 시의 셀에 인가되는 전압 상태를 개략적으로 보여주는 도면이다.

<73> 도 12는 도 11의 인가 전압 상태에서의 이레이즈(erase) 동작 시의 지연 시간 동안 셀에 인가되는 전압 상태를 개략적으로 보여주는 도면이다.

<74> 도 11에 제시된 바와 같이, 비트 라인 및 소오스 라인을 플로팅하고 기판에 16V의 양의 전압을 인가하고 게이트에 0V를 인가하는 전압 상태에서 이레이즈 동작을 수행할 때, 이레이즈 동작 시의 지연 시간 동안 셀에 인가되는 전압 상태는 도 12에 제시된 바와 같다. 비트 라인 및 소오스 라인의 전압 펄스(pulse)는 도 12의 1210 그래프(graph)와 같이 나타나고, p-기판에서는 도 12의 1230 그래프와 같이 나타난다.

<75> 즉, 비트 라인, 소오스 라인에는 도 12의 C부에서 보여지는 바와 같이 양의 전압이 인가되지만 기판 전압과 게이트 전압은 접지가 된 상태가 된다. 이 전압 조건에서 핫 홀(hot hole)이 발생하고, 이 발생한 핫 홀(hot hole)은 프로그램 동작으로 축적된 전자가 있는 실리콘 산화물층 / 실리콘 질화물층 / 실리콘 산화물층으로 주입되어 문턱 전압을 낮추게 된다.

<76> 이러한 상황에서 소거 동작은 F-N 동작 뿐만 아니라 핫 홀(hot hole)의 주입 역시 소거 동작을 증진시키는 효과를 수반하게 된다. 따라서, 소거 동작 시의 소거 속도가 증진되게 된다.

<77> 보다 상세하게 설명하면, SONOS 셀에서 게이트는 접지, 또는 음의 전압을 가진 상태에서 N^+ 접합을 갖는 비트 라인에 양의 전압이 인가되고, P 형으로 도핑(doping)된 기판이 접지되어 N^+/P^- 사이에 역방향 전압이 인가되면, 핫 홀이 발생되고 이 발생된 핫 홀은 다층의 유전층들로 주입되어 문턱 전압을 낮추게 된다. 이와 같은 SONOS 셀에서의 핫 홀 주입에 의한 소거 동작은 티. 와이. 찬 등에 의한 문헌(T. Y. Chan, K. K. Young, and C. Hu, "A True - Single Transistor Oxide-Nitride EEPROM devise", IEEE,

Electron device letter, vol 8, pp. 93-95, March 1987)에 제시되고 있다. 이 문헌에서의 소거 동작은 외부에서 비트 라인에 양의 전압, 기판에는 접지 전압을 인가하여 핫 홀을 발생하고 이 핫 홀이 다층의 게이트 유전층들로 주입되어 소거 동작이 일어나는 바가 제시되고 있다.

<78> 그러나, 본 발명의 실시예에서는 기판에 인가된 양의 전압에 의하여 자기 승압된 비트 라인, 소스 라인 전압이 핫 홀을 발생시키고, 발생된 핫 홀들이 소거 동작에 사용되게 된다. 즉, 본 발명에서 제시되는 바와 같은 조건에서는 소거를 위해 비트 라인에 인가해주는 양의 전압이 불필요하므로, 전체 소자를 구성할 때 이 양의 전압을 발생시키기 위한 회로를 제거할 수 있는 장점이 있다.

<79> 이러한 이레이즈 동작 시의 이레이즈 속도는 도 13에 제시된 바와 같이 매우 빠른 속도를 나타내게 된다.

<80> 도 13는 본 발명의 실시예에 따른 SONOS 셀의 이레이즈 시의 이레이즈 속도를 보여주는 도면이다.

<81> 도 13은 이레이즈 동작을 위해서 인가되는 전압 상태를 달리하여 측정한 이레이즈 속도를 보여주고 있다. 그래프 1310은 p-기판에 인가된 전압 V_b 를 8V로 설정하고 게이트에 인가된 전압 V_g 를 -6V로 설정하고 소오스 라인 및 비트 라인은 플로팅으로 설정하였을 때 얻어진 이레이즈 속도를 보여주고 있다. 그래프 1330은 p-기판에 인가된 전압 V_b 를 10V로 설정하고 게이트에 인가된 전압 V_g 를 -4V로 설정하고 소오스 라인 및 비트 라인은 플로팅으로 설정하였을 때 얻어진 이레이즈 속도를 보여주고 있다. 그래프 1350은 p-기판에 인가된 전압 V_b 를 14V로 설정하고 게이트에 인가된 전압 V_g 를 0V로 설정하고 소오스 라인 및 비트 라인은 플로팅으로 설정하였을 때 얻어진 이레이즈 속도를 보여주고

고 있다. 그래프 1370은 p-기판에 인가된 전압 V_b 를 10V로 설정하고 게이트에 인가된 전압 $V_{g\text{플}} - 4V$ 로 설정하고 소오스 라인 및 비트 라인을 p-기판에 전기적으로 연결시키도록 설정하였을 때 얻어진 이레이즈 속도를 보여주고 있다. 즉, 1330의 그래프에서의 설정 조건과 달리 소오스 라인 및 비트 라인을 플로팅하지 않은 조건에서 얻어진 이레이즈 속도 그래프이다. 이때, 얻어진 결과들의 명확한 비교를 위해서, p-기판과 게이트 간에는 모두 14V의 전압차가 인가되도록 전압 상태를 설정하였다.

<82> 도 13을 참조하면, 이레이즈 동작은 선택 워드 라인, 즉, 게이트에 접지 또는 음의 전압을 인가하고, 기판에 대략 8 ~ 10V 수준의 전압을 인가하여 문턱 전압이 낮아지는 효과를 얻으며 수행될 수 있음을 도 13의 결과들을 보여주고 있다. 만약, 인가되는 양단 전압에 의해서만 영향을 받는 F-N 터널링에 의해서 소거가 진행 된다면, 게이트/기판의 전압 조합이 모두 동일한 소거 특성을 가져야 하나 기판의 양의 전압 부분이 클수록 문턱 전압 감소가 큰 것으로 도 13의 결과는 나타나고 있다. 따라서, 발생하는 핫홀이 이레이즈 동작에 영향을 미치고 있음을 도 13의 결과는 입증하고 있다.

<83> 보충 설명하면, 기판에 인가되는 양의 전압이 클수록 자기 승압되는 비트라인/소오스 라인의 전압이 크게 되며, 비트 라인-기판에 인가되는 역방향 전압이 증가하게 된다. 따라서, 핫 홀 발생 양이 증가하고 이에 따라 주입되는 핫 홀의 양이 증가하여 이레이즈 속도가 도 13에 제시된 바와 같이 개선되게 된다.

<84> 도 13의 그래프 1330과 1370을 비교하면, 동일한 $-4V_G/10V_B$ 의 전압 상태 조합에서 도 비트 라인 및 소오스 라인의 상태에 따라 이레이즈 속도가 달라진다. 즉, 그래프 1370은 기판과 비트 라인/소오스 라인을 같은 노드(node)로 묶어서 전기적으로 연결시킨 후, 상기한 전압 상태를 인가하면서 이레이즈 특성을 측정한 것이다. 반면에, 같은 전

압 상태에서 비트 라인/소오스 라인을 플로팅한 상태에서 측정한 이레이즈 특성은 그래프 1330에 제시된다. 두 그래프들을 비교하면, 비트 라인과 소오스 라인을 플로팅한 조건, 즉, 그래프 1330의 경우가 개선된 소거 특성을 나타냄을 알 수 있다. 이러한 이유는 그래프 1370의 경우에는 기판과 비트 라인 소오스 라인이 같은 노드로 연결되어 있으므로 기판과 비트 라인 또는 기판과 소오스 라인이 역방향 바이어스로 인가되는 상황은 발생될 수 없게 된다. 따라서, 핫 홀은 발생될 수 없고, 따라서 핫 홀에 의한 이레이즈 효과는 발생하지 않게 된다.

<85> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<86> 상술한 본 발명에 따르면, SONOS 셀을 단위 셀로 이용하여 NOR형태로 SONOS 셀들을 배열시켜 플래시 메모리 소자를 형성할 때, 이러한 플래시 메모리 소자의 동작을 CHE 주입에 의한 프로그램과 F-N 터널링에 의한 이레이즈로 구현할 수 있다. 이에 따라, 공정이 보다 간단하고 로직 공정과 융화성이 있는 SONOS 셀을 NOR 형태의 플래시 메모리 소자의 구성에 적용할 수 있다.

【특허청구범위】

【청구항 1】

기관에 형성되고 사이에 채널을 형성하는 드레인(drain) 및 소오스(source),

상기 채널 상에 형성된 게이트(gate), 및

상기 게이트와 상기 기관 사이 계면에 형성된 산화물층, 질화물층 및 산화물층의 다중 유전층을 포함하는 소노스(SONOS) 형태의 메모리 셀들이 노아(NOR) 형태로 배열되어 구성된 플래시 메모리 소자에 대하여,

상기 메모리 셀들 중 선택된 메모리 셀에 상기 채널로부터 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로 핫 전자 주입이 유기되어 전자들이 상기 산화물층과 질화물층의 계면 또는 상기 질화물층에 포획되어 문턱 전압을 증가시키도록 상기 선택된 메모리 셀에 전압들을 인가하여 프로그램하고,

상기 메모리 셀의 문턱 전압을 감소시키도록 상기 기관에는 양의 전압, 상기 게이트는 접지 또는 음의 전압, 상기 소오스 또는 드레인은 플로팅시키는 전압 조건을 상기 메모리 셀에 인가하여

상기 포획된 전자들이 파울러-노드하임 터널링(Fowler-Nordheim tunneling)으로 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로부터 소거되거나 상기 상기 소오스 - 기관 또는 상기 드레인 - 기관 사이에서 상기 전압 조건에 의해서 발생하는 핫 홀(hot hole)이 상기 다중 유전층에 주입되어 이레이즈하는 것을 특징으로 하는 소자 동작 방법.

【청구항 2】

제1항에 있어서,

상기 프로그램 시에 상기 선택된 메모리 셀의

상기 게이트에 대략 8V 내지 12V를 인가하며

상기 드레인에 대략 3V 내지 6V를 인가하고

상기 소오스는 접지하는 전압 조건으로 상기 선택된 메모리 셀에 전압을 인가하는 것을 특징으로 하는 소자 동작 방법.

【청구항 3】

제2항에 있어서,

상기 전압 조건은 상기 프로그램 시에 상기 기판을 접지하거나 또는 상기 기판에 음의 전압을 인가하는 것을 더 포함하는 것을 특징으로 하는 소자 동작 방법.

【청구항 4】

제1항에 있어서,

상기 이레이즈 시에 상기 메모리 셀의

상기 게이트를 접지하고

상기 기판에 대략 13V 내지 18V를 인가하는 전압 조건으로 전압을 인가하는 것을 특징으로 하는 소자 동작 방법.

【청구항 5】

제1항에 있어서,

상기 이레이즈 시에 상기 선택된 메모리 셀의

게이트에 대략 - 8V를 인가하고

상기 기판에 대략 6V를 인가하는 전압 조건으로 전압을 인가하는 것을 특징으로 하는 소자 동작 방법.

【청구항 6】

기판에 형성되고 사이에 채널을 형성하는 드레인(drain) 및 소오스(source),

상기 채널 상에 형성된 게이트(gate), 및

상기 게이트와 상기 기판 사이 계면에 형성된 산화물층, 질화물층 및 산화물층의 다층 유전층을 포함하는 소노스(SONOS) 형태의 메모리 셀이,

어느 하나의 비트 라인(bit line)에 다수의 상기 SONOS 형태의 메모리 셀들의 드레인들이 전기적으로 연결되고, 상기 비트 라인과 교차되도록 배열된 어느 하나의 워드 라인(word line)에 다수의 상기 SONOS 형태의 메모리 셀들의 게이트가 전기적으로 연결되고, 어느 하나의 공통 소오스 라인에 상기 워드 라인에 연결된 다수의 SONOS 형태의 메모리 셀들의 소오스들이 공통으로 연결되도록 배열되어 노아(NOR) 형태의 배열로 구성된 플래시 메모리 소자에 대하여,

상기 메모리 셀들 중 선택된 메모리 셀에 상기 채널로부터 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로 핫 전자 주입이 유지되어 전자들이 상기 산화물층과 질화물층의 계면 또는 상기 질화물층에 포획되어 문턱 전압을 증가시키도록 상기 선택된 메모리 셀에 전압들을 인가하여 프로그램하고,

상기 메모리 셀의 문턱 전압을 감소시키도록 상기 기판에는 양의 전압, 상기 게이트는 접지 또는 음의 전압, 상기 소오스 라인 또는 비트 라인은 플로팅시키는 전압 조건을 상기 메모리 셀에 인가하여

상기 포획된 전자들이 파울러-노드하임 터널링(Fowler-Nordheim tunneling)으로 상기 산화물층과 질화물층의 계면 또는 상기 질화물층으로부터 소거되거나 상기 상기 소오스 - 기판 또는 상기 드레인 - 기판 간에 상기 전압 조건에 의해서 발생하는 핫 홀(hot hole)이 상기 다중 유전층에 주입되어 이레이즈하는 것을 특징으로 하는 소자 동작 방법.

【청구항 7】

제6항에 있어서,

상기 프로그램 시에

어느 하나의 워드 라인을 선택하여 대략 8V 내지 12V를 인가하며

어느 하나의 비트 라인을 선택하여 대략 3V 내지 6V를 인가하고

상기 공통 소오스 라인을 접지하는 전압 조건으로 상기 선택된 메모리 셀에 전압을 인가하는 것을 특징으로 하는 소자 동작 방법.

【청구항 8】

제7항에 있어서,

상기 전압 조건은 상기 프로그램 시에 상기 기판을 접지하거나 또는 상기 기판에 음의 전압을 인가하는 것을 더 포함하는 것을 특징으로 하는 소자 동작 방법.

【청구항 9】

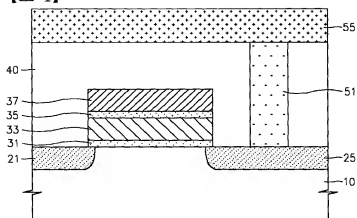
제6항에 있어서,
상기 이레이즈 시에
상기 워드 라인을 접지하고
상기 기관에 대략 13V 내지 18V를 인가하는 전압 조건으로 전압을 인가하는 것을
특징으로 하는 소자 동작 방법.

【청구항 10】

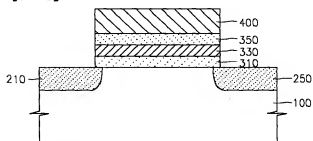
제6항에 있어서,
상기 이레이즈 시에 상기 선택된 메모리 셀에 연결된
선택된 워드 라인에 대략 - 8V를 인가하는 전압 조건으로 전압을 인가하는 것을 특
징으로 하는 소자 동작 방법.

【도면】

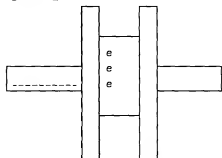
【도 1】



【도 2】

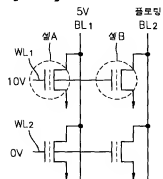


【도 3】

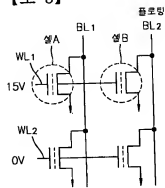


Si 기판 // SiO_2 / Si_3N_4 / SiO_2 // 게이트

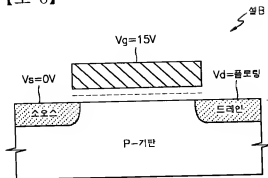
【도 4】



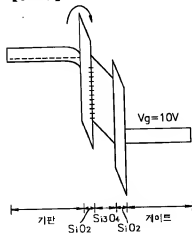
【도 5】



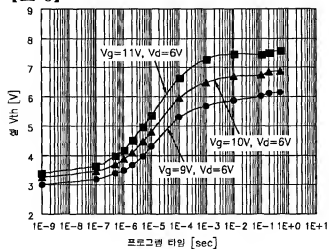
【도 6】



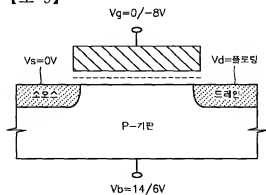
【도 7】



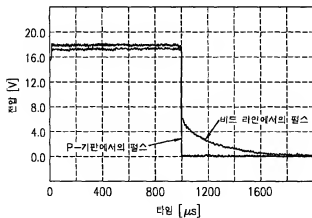
【도 8】



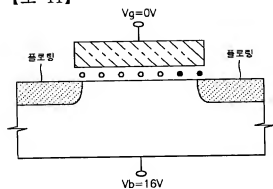
【도 9】



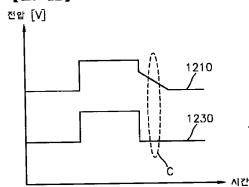
【도 10】



【도 11】



【도 12】



【도 13】

